

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-282528

(43)Date of publication of application : 23.10.1998

(51)Int.Cl. G02F 1/136
G02F 1/1343
G09F 9/35
G09F 9/35

(21)Application number : 10-079035 (71)Applicant : LG ELECTRON INC

(22)Date of filing : 26.03.1998 (72)Inventor : SONG IN DUK
KIM JEOM JAE
CHANG CHUL HA

(30)Priority

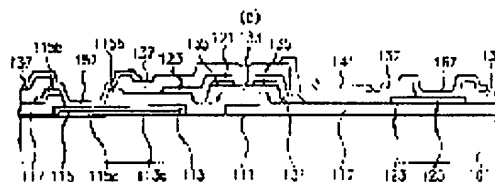
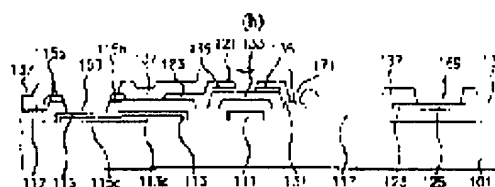
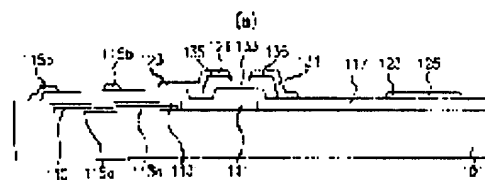
Priority number : 97 9712327 Priority date : 03.04.1997 Priority country : KR

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device capable of protecting a gate pad from the infiltration of etchant and a manufacturing method for the display device.

SOLUTION: The manufacturing method includes a step for forming a substrate 101, a gate wiring 113, at least one gate electrode 111 branched from the gate wiring 113, and a gate pad 115 arranged on the end part of the gate wiring 113. A gate insulating layer 117 is formed so as to cover the gate wiring 113 and the substrate 101 and a dummy gate pad 115b is formed on the layer 117 at least on the outer peripheral part of the gate pad 115. The dummy gate pad 115b prevents the infiltration of etchant to be used for the manufacturing process of the display device



from the outer peripheral part of the gate pad 115.

LEGAL STATUS

[Date of request for examination] 09.06.2004

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision
of rejection or application
converted registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-282528

(43)公開日 平成10年(1998)10月23日

(51)Int.Cl.⁶ 識別記号
 G 0 2 F 1/136 5 0 0
 1/1343
 G 0 9 F 9/35 3 0 2
 3 0 7

F I
 G 0 2 F 1/136 5 0 0
 1/1343
 G 0 9 F 9/35 3 0 2
 3 0 7

審査請求 未請求 請求項の数37 O L (全 17 頁)

(21)出願番号 特願平10-79035
 (22)出願日 平成10年(1998) 3 月26日
 (31)優先権主張番号 1 9 9 7 - 1 2 3 2 7
 (32)優先日 1997年 4 月 3 日
 (33)優先権主張国 韓国 (K R)

(71)出願人 590001669
 エルジー電子株式会社
 大韓民国, ソウル特別市永登浦区汝矣島洞
 20
 (72)発明者 宋 寅徳
 大韓民国 京畿道安養市 東安区 虎溪洞
 533番地エルジー電子株式会社 第1研
 究団地LCD研究所内
 (72)発明者 金 ▲王占▼辛
 大韓民国 京畿道安養市 東安区 虎溪洞
 533番地エルジー電子株式会社 第1研
 究団地LCD研究所内
 (74)代理人 弁理士 稲葉 良幸 (外2名)

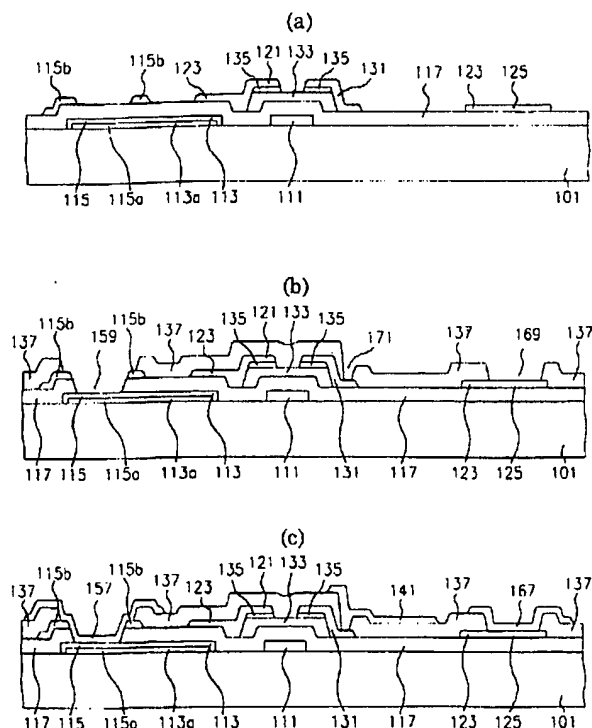
最終頁に続く

(54)【発明の名称】 液晶表示装置及びその製造方法

(57)【要約】

【課題】 本発明は、エッチャントの浸透からゲートパッドを保護することができる液晶表示装置及びその製造方法を提供することを目的とする。

【解決手段】 基板101、ゲート配線113、ゲート配線から分岐した少なくとも一つのゲート電極111、ゲート配線の端部に配置されるゲートパッド115を形成する段階とを含む。そして、ゲート配線と基板を覆うようにゲート絶縁層117を形成して、ゲートパッドの少なくとも外周部の前記ゲート絶縁層上にダミーゲートパッド115bを形成する。前記ダミーゲートパッドは液晶表示装置の製造過程の中に用いられるエッチャントがゲートパッドの外周部から浸透することを防止する。



【特許請求の範囲】

【請求項1】 基板上にゲート配線、前記ゲート配線から分岐する少なくとも一つのゲート電極、そして、前記ゲート配線の端部に位置されている外周部を有するゲートパッドを形成する段階と、

前記ゲート配線、前記ゲート電極及び前記ゲートパッドが形成された前記基板上にゲート絶縁層を形成する段階と、

前記ゲートパッドの外周部の少なくとも一部分を覆う前記ゲート絶縁層上に第1ダミーゲートパッドを形成する段階とを含むことを特徴とする液晶表示装置の製造方法。

【請求項2】 前記第1ダミーゲートパッドをマスクとして前記ゲート絶縁層をエッチングして前記ゲートパッドの一部を露出させてゲートパッドコンタクトホールを形成する段階を含むことを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項3】 前記ゲートパッド上に前記ゲートパッドコンタクトホールを通じて前記ゲートパッドと接触するゲートパッド連結端子を形成する段階を含むことを特徴とする請求項2記載の液晶表示装置の製造方法。

【請求項4】 前記第1ダミーゲートパッドは、半導体物質から成ることを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項5】 前記第1ダミーゲートパッドは、導電物質から成ることを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項6】 前記第1ダミーゲートパッド上に第2ダミーゲートパッドを形成する段階を含むことを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項7】 半導体物質から前記第1ダミーゲートパッドを形成し、導電物質から前記第2ダミーゲートパッドを形成することを特徴とする請求項6記載の液晶表示装置の製造方法。

【請求項8】 前記第1ダミーゲートパッドは、半導体物質をパターニングして形成し、前記ゲート電極上に半導体層を形成する段階を含むことを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項9】 第1導電物質をパターニングして前記ゲート電極の一方の上の前記半導体層の第1部分上にドレイン電極を形成し、前記ゲート電極の他方上の前記半導体層の第2部分上にソース電極を形成する段階と、前記基板上に保護層を形成する段階と、前記保護層を選択的にエッチングして前記ドレイン電極の一部を露出させるドレインコンタクトホールを形成し、前記ゲートパッド上に形成された前記ゲート絶縁層の一部と前記第1ゲートパッドの一部を露出させるゲートパッドコンタクトホールを形成する段階と、前記第1ダミーゲートパッドをマスクとして前記ゲート絶縁層を選択的にエッチングして前記ゲートパッドコン

タクトホールが完全に露出されるように形成する段階と、

第2導電物質をパターニングして前記ゲートパッドコンタクトホールを通じて前記ゲートパッドに接触するゲートパッド連結端子を形成し、前記ドレインコンタクトホールを通じて前記ドレイン電極に接触する画素電極を形成する段階を含むことを特徴とする請求項8記載の液晶表示装置の製造方法。

【請求項10】 前記第1導電物質をパターニングして前記ソースに連結されるソース配線と前記ソース配線の端部分にソースパッドとを形成し、前記保護層を選択的にエッチングして前記ソースパッドの一部を露出させるソースパッドコンタクトホールを形成し、前記第2導電物質をパターニングして前記ソースパッドコンタクトホールを通じて前記ソースパッドに接触するソースパッド連結端子を形成することを特徴とする請求項9記載の液晶表示装置の製造方法。

【請求項11】 前記第1導電物質をパターニングして前記第1ダミーゲートパッドに第2ダミーゲートパッドを形成し、前記保護層を選択的にエッチングして前記第2ダミーゲートパッドの一部を露出させ、前記ゲートパッド上に前記ゲートコンタクトホールを形成することを特徴とする請求項9記載の液晶表示装置の製造方法。

【請求項12】 前記第1導電物質をパターニングする段階で、前記ゲートパッドコンタクトホールが傾斜された階段形状の構造を有するように前記第2ダミーゲートパッドを形成することを特徴とする請求項11記載の液晶表示装置の製造方法。

【請求項13】 前記傾斜された側壁の構造が階段の形状を有することを特徴とする請求項12記載の液晶表示装置の製造方法。

【請求項14】 前記保護層、前記第1ダミーゲートパッド及び前記ゲート絶縁層に階段形状の前記ゲートパッドコンタクトホールを形成することを特徴とする請求項9記載の液晶表示装置の製造方法。

【請求項15】 前記保護層の選択的エッチング段階と前記ゲート絶縁層の選択的エッチング段階は、連続的に一段階で行われることを特徴とする請求項9記載の液晶表示装置の製造方法。

【請求項16】 半導体物質をパターニングして前記ゲート電極上に半導体層を形成する段階と、前記第1ダミーゲートパッドを形成する段階で前記第1導電物質をパターニングして前記第1ダミーゲートパッドを形成し、前記ゲート電極の一方上の前記半導体層上にドレイン電極を形成し、前記ゲート電極の他方上の前記半導体層上にソース電極を形成する段階を含むことを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項17】 前記基板上に保護層を形成する段階

と、
前記保護層を選択的にエッチングして前記ドレイン電極を露出させるドレインコンタクトホールを形成し、前記ゲートパッド上に前記ゲート絶縁層の一部と前記第1ダミーゲートパッドの一部を露出させるゲートコンタクトホールの一部を形成する段階と、

前記第1ダミーゲートパッドをマスクとして前記ゲート絶縁層を選択的にエッチングして前記ゲートコンタクトホールが完全に露出されるように形成する段階と、
第2導電物質をパターニングして前記ゲートパッドコンタクトホールを通じて前記ゲートパッドに接触するゲートパッド連結端子を形成し、前記ドレインコンタクトホールを通じて前記ドレイン電極に接触する画素電極を形成する段階とを含むことを特徴とする請求項16記載の液晶表示装置の製造方法。

【請求項18】 前記第1ダミーゲートパッドを形成する段階で、前記第1導電物質をパターニングして前記ソースに連結されるソース配線を形成し、前記ソースパッドを前記ソース配線の端部分に形成し、
前記保護層を選択的にエッチングする段階で、前記ソースパッドの一部を露出させるソースコンタクトホールを加えて形成し、

前記第2導電物質をパターニングする段階で、前記ソースパッドコンタクトホールを通じて前記ソースパッドに接触されるソースパッド連結端子を形成することを特徴とする請求項17記載の液晶表示装置の製造方法。

【請求項19】 前記ゲート配線を形成する段階で、前記基板上に第1導電物質をパターニングして低抵抗ゲート配線と前記低抵抗ゲート配線の端部分に低抵抗ゲートパッドを形成し、
第2導電物質をパターニングして前記低抵抗ゲート配線の少なくとも一部上にゲート配線と、前記ゲート配線で分岐された少なくとも一つのゲート電極と、そして前記ゲート配線の端部分に位置して前記低抵抗ゲートパッドの少なくとも一部を覆うゲートパッドを形成する段階を含むことを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項20】 前記第1導電物質はアルミニウムを含むことを特徴とする請求項19記載の液晶表示装置の製造方法。

【請求項21】 前記第2導電物質はクローム、モリブデン、タンタル、そして、アンチモンの中の少なくとも一つを含むことを特徴とする請求項19記載の液晶表示装置の製造方法。

【請求項22】 基板と、
前記基板上に形成されたゲート配線と、
前記基板上の前記ゲート配線から分岐する少なくとも一つのゲート電極と、
前記基板上で前記ゲート配線の端部に形成された外周部を有するゲートパッドと、

前記基板上の前記ゲート配線、前記ゲート電極及び前記ゲートパッドを覆うゲート絶縁層と、
前記ゲートパッドの外周部の少なくとも一部分上の前記ゲート絶縁層上に形成された第1ダミーゲートパッドとを備える液晶表示装置。

【請求項23】 前記ゲート絶縁層及び前記第1ダミーゲートパッドには前記ゲートパッドの一部を露出させるゲートパッドコンタクトホールを形成することを特徴とする請求項22記載の液晶表示装置。

【請求項24】 前記ゲートパッドコンタクトホールを通じて前記ゲートパッドと接触する前記ゲートパッド上に形成されたゲートパッド連結端子を加えて含むことを特徴とする請求項23記載の液晶表示装置。

【請求項25】 前記第1ダミーゲートパッドは、半導体物質を含むことを特徴とする請求項22記載の液晶表示装置。

【請求項26】 前記第1ダミーゲートパッドは、導電物質を含むことを特徴とする請求項22記載の液晶表示装置。

【請求項27】 前記第1ダミーゲートパッド上に形成された第2ダミーゲートパッドを加えて含むことを特徴とする請求項22記載の液晶表示装置。

【請求項28】 前記第1ダミーゲートパッドは半導体物質を含み、

前記第2ダミーゲートパッドは導電物質を含むことを特徴とする請求項27記載の液晶表示装置。

【請求項29】 前記ゲート電極上の前記ゲート絶縁層上の一部分に形成された半導体層と、
前記ゲート電極の一方上の前記半導体層の第1部分上に形成されたドレイン電極と、
前記ゲート電極の他方上の前記半導体層の第2部分上に形成されたソース電極と、

前記基板上に形成され、前記ドレイン電極を露出させるドレインコンタクトホールが形成された保護層と、
前記保護層、前記第1ダミーゲートパッド及び前記ゲート絶縁層には前記ゲートパッドの一部を露出させるゲートパッドコンタクトホールを形成し、
前記ゲートパッドコンタクトホールを通じて前記ゲートパッドに連結するゲートパッド連結端子と、
前記ドレインコンタクトホールを通じて前記ドレイン電極に連結する画素電極とを含むことを特徴とする請求項22記載の液晶表示装置。

【請求項30】 前記ゲート絶縁層上に形成され、前記ソース電極に連結されるように形成されたソース配線と、
前記ソース配線の端部分に形成されたソースパッドと、
前記保護層をエッチングして前記ソースパッドの一部を露出させるソースパッドコンタクトホールと、
前記ソースパッドコンタクトホールを通じて前記ソースパッドに接触されるソースパッド連結端子とを含むこと

を特徴とする請求項29記載の液晶表示装置。

【請求項31】 前記第1ダミーゲートパッド上に形成された第2ダミーゲートパッドと、前記保護層、前記第1ダミーゲートパッド、前記第2ダミーゲートパッド及び前記ゲート絶縁層に前記ゲートパッドコンタクトホールを形成する段階を含むことを特徴とする請求項29記載の液晶表示装置。

【請求項32】 前記第1及び第2ダミーゲートパッドに傾斜された側壁を有するゲートパッドコンタクトホールを形成することを特徴とする請求項31記載の液晶表示装置。

【請求項33】 傾斜される側壁が階段構造を有することを特徴とする請求項32記載の液晶表示装置。

【請求項34】 前記保護層、前記第1ダミーゲートパッド及び前記ゲート絶縁層に階段構造の側壁を有するゲートパッドコンタクトホールを形成することを特徴とする請求項29記載の液晶表示装置。

【請求項35】 前記ゲート配線及び前記ゲートパッドは前記基板上に形成された低抵抗性の第1導電物質と、前記第1導電物質の少なくとも一部上に形成された第2導電物質とを含むことを特徴とする請求項22記載の液晶表示装置。

【請求項36】 前記第1導電物質はアルミニウムを含むことを特徴とする請求項35記載の液晶表示装置。

【請求項37】 前記第2導電物質はクローム、モリブデン、タンタル、又はアンチモンの中の一つを含むことを特徴とする請求項35記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置（以下に“AMLCD”と略する）及びその製造方法に関する。特に、本発明は、薄膜トランジスタ（TFT）、該薄膜トランジスタに連結された画素電極とを含んで製造工程を単純化させた液晶表示装置の製造方法およびその液晶表示装置に関する。

【0002】

【従来の技術】今まで画像情報を画面に示す画面表示装置の中、ブラウン管表示装置（Cathode Ray Tube; CRT）が多く用いられている。しかし、最近には薄型及び軽量という長点のためにいずれの場所でも容易に使用が出来る薄膜型の平板表示装置と代替されつつある。特に、液晶表示装置は、表示解像度が他の平板装置より優れており、動画像を具現する際にその品質がブラウン管に比べる事が出来る程に反応速度が早いため、最も活発な研究開発が行われている。

【0003】液晶表示装置の駆動原理は、液晶の光学的異方性と分極性質を利用したことである。液晶分子は細長く、方向性及び分極性を有している。このような性質を利用して液晶分子に人為的に電磁気場を印加することで、配列方向を調節することが出来る。液晶分子の配向

方向と、液晶の光学的異方性とを用いて光を透過、又は遮断することが出来る。

【0004】現在には、行列方式で配列された薄膜トランジスタと、画素電極とを含むアクティブマトリクス液晶表示装置は、優れた画質の特性と自然色を提供するので、最も注目されている製品である。

【0005】従来の液晶表示装置の構造は、次の如くである。従来の液晶表示装置は、様々な素子が設けられた二つのパネルが対向し、その間に液晶層が介されている形状である。一般にカラーフィルターパネルと呼ばれる第1パネルには、色を現す複数の素子が構成されている。

【0006】前記カラーフィルターパネルには、第2パネルの画素の位置に合わせて赤（R）、緑（G）、青（B）のカラーフィルターが順次に配列されている。前記カラーフィルターの間には、細いブラックマトリクスが形成されている。それは、他のカラーフィルター間の境界を明確に区分し、混合色が発生することを防止する。又、前記カラーフィルター上に共通電極が形成されている。前記共通電極は、前記液晶に電気場を印加するための一方の電極としての役割をする。

【0007】従来の液晶表示装置の他方の前記第2パネルは、スイッチ素子と、前記液晶に電界を印加するための導電性の配線とを含む。前記第2パネルをアクティブパネルと称する。前記アクティブパネルには、透明基板上に前記画素の位置に合わせて複数の画素電極が形成されている。前記画素電極は、前記カラーフィルターパネル上に形成されている共通電極と対向して、液晶に電気場を印加する他方の電極としての役割をする。

【0008】前記複数の画素電極の水平配列方向に沿って複数の信号配線が形成されており、垂直配列方向に沿っては、複数のデータ配線が形成されている。前記各々の画素電極の一部には、前記画素に電気場信号を印加する前記薄膜トランジスタが形成されている。前記薄膜トランジスタのゲート電極は、信号配線の一つに対応するように連結されており、ソース電極はデータ配線の一つに対応するように連結されている。前記信号配線を“ゲート配線”とも称し、前記データ配線を“ソース配線”とも称する。前記薄膜トランジスタのドレイン電極は、前記画素電極に連結されている。又、前記ゲート配線及び前記ソース配線の端部には、外部から印加される信号を受け取るための終端端子（Terminal）、又はパッドが形成されている。

【0009】外部ソースから電気信号が前記ゲートパッドに印加される際、信号は前記ゲート配線を通じて前記ゲート電極に印加される。ソース配線は前記ソースパッドに外部から印加された画像情報をソース電極に印加する。ゲート電極はソース電極からの画像情報をドレイン電極に印加するかないかを調節する。従って、前記ゲート電極に印加される信号を調節することによって、前記

ドレイン電極へのデータ信号の印加が決定される。従って、前記薄膜トランジスタの前記ドレイン電極に連結されている前記画素電極にデータ信号を選択的に印加することが出来る。即ち、各々の前記薄膜トランジスタは、対応する画素電極を駆動させるためのスイッチとしての役割をする。

【0010】前述した第1、第2のパネルは、所定の間隔（セルギャップ；Cell Gap）を隔てて対向されており、前記両パネル間のセルギャップに液晶物質が注入されている。各々のパネルの外側部にはパネルからの光を選択的に透過させるための偏光板が形成されている。これで液晶表示装置の重要要素である液晶パネルが完成される。

【0011】前記液晶パネルの製造工程は複雑であり、多数の製造工程が要求される。特に、薄膜トランジスタを含むアクティブパネルを製造するには、いろいろな工程が要求される。このように複雑な製造工程によって製品の性能が決定されるため、可能な限り工程が簡単であれば、不良が発生する確率が少なくなる。さらに、前記アクティブパネルには、液晶表示装置の性能を決定する重要な素子が多く形成されているため、前記アクティブパネルの製造工程を単純化させることが良い製品を生産する重要な役割をする。

【0012】図1は、従来の液晶表示装置のアクティブパネルの一部を示し、図2（a）～図3（c）は、図1のII-II線に沿った従来のアクティブパネルの製造方法を説明するための断面図である。

【0013】図1、図2（a）に示すように、透明ガラス基板1にアルミニウム合金を蒸着し、フォトリソグラフィ法（Photo-Lithography；写真食刻法）で各々所定の形状を有するようにパターニングしてゲート電極11、ゲート配線13、ゲートパッド15、ソースパッド25及び短絡配線45を形成する。前記ゲート電極11はマトリクス状で配列された画素の一つの隅部に対応するように位置されている。前記ゲート配線13は、前記行方向に配列されたゲート電極11と連結されている。前記ゲートパッド15は前記ゲート配線13の端部に形成されている。又、前記ソースパッド25は、前記ゲート配線13が形成されているソース配線23の端部に形成されている。前記短絡配線45は全ての前記ゲートパッド15及び前記ソースパッド25とに連結されている。

【0014】しかし、アルミニウムを含む金属物質の表面には、ヒロック（Hillock）と呼ばれる角が形成されて近接する層の間にショートが発生させる。このようなヒロックの形成を防止するためには陽極酸化工程で陽極酸化層19を形成する。前記短絡配線45を利用してアルミニウムを含む前記データ電極11、前記ゲート配線13、前記ゲートパッド15及び前記ソースパッド25を陽極酸化する時、電極として活用する。しかし、前記陽

極酸化層19は、電流をよく通さない性質がある。もし、外部の電氣的信号を受け取るゲートパッド15及びソースパッド25の表面に陽極酸化層19が形成されたとすれば、電氣的信号が良好に印加されることは出来なくなる。このような問題点を解決するために図2（b）に示すように、ゲートパッド15及びソースパッド25の表面には陽極酸化層を形成しないようにする。

【0015】そして、図2（c）に示すように、前記基板1上に酸化シリコン、又は窒化シリコンを蒸着しパターニングして、ゲート絶縁層17を形成する。前記ゲート絶縁層17上に純粋アモルファスシリコンのような真性半導体物質と、不純物が添加されたアモルファスシリコンのような不純物半導体物質を連続に蒸着し、フォトリソグラフィ法でパターニングして半導体層33及び不純物半導体層35を形成する。

【0016】そして、図2（d）に示すように、前記ゲート絶縁層17をフォトリソグラフィ法でパターニングして、前記ゲートパッド15部分上に第1ゲートコンタクトホール51を、前記ソースパッド25部分上には第1ソースコンタクトホール61を形成する。前記第1コンタクトホール51及び61は、前記ゲート絶縁層17を貫いて形成されており、陽極酸化層19が形成されていないゲートパッド15及びソースパッド25の部分に露出させる。

【0017】そして、図3（a）に示すように、前記半導体層33の一方上にクローム、又はクローム合金のような金属物質を蒸着しパターニングして、ソース電極21を形成し、前記半導体層33の他方上にドレイン電極31を形成する。ここで、前記不純物半導体層35と前記ソース電極21との間、又前記不純物半導体層35と前記ドレイン電極31との間は、オーミック接触をなしている。しかし、前記ソース電極21と前記ドレイン電極31との間に前記不純物半導体層35が連結し形成されていれば、ソース電極21とドレイン電極31とは常に導通する状態となり、スイッチとしての役割は出来なくなる。従って、ソース電極21とドレイン電極31間にある前記不純物半導体層35は、例えば、エッチング法のような方法で除去しなければならない。

【0018】又、図1に示すように、前記ソース電極21に連結するように前記列配列方向で延長するソース配線23が図3（a）に示すように形成されている。前記ソース配線23は、前記ゲート配線13とはほぼ直交するように位置されている。そして、前記ソース配線23の端部には、前記ソースパッド25を連結させるために前記第1ソースコンタクトホール61を覆うソースパッド中間電極65が形成されている。又、前記ゲートパッド15にも前記第1ゲートパッドコンタクトホール51を覆うゲートパッド中間電極55が形成されている。

【0019】そして、図3（b）に示すように、酸化シリコン又は、窒化シリコン等の絶縁物質を基板全面に蒸

着して保護層37を形成する。そして、フォトリソグラフィ法でパターニングして前記ゲートパッド15部分に第2ゲートコンタクトホール53を、前記ソースパッド25部分に第2ソースコンタクトホール63を、そしてドレイン電極31部分にはドレインコンタクトホール71を形成する。前記第2ゲートコンタクトホール53はゲートパッド中間電極55の一部を、第2ソースコンタクトホール63は前記ソースパッド中間電極65の一部を、そして、ドレインコンタクトホール71はドレイン電極31の一部を各々露出させる。

【0020】前記ゲートパッド15とソースパッド25を連結する前記短絡配線45は、最終に完成された前記液晶表示装置では必要ない。従って、前記短絡配線45において前記ゲートパッド15と前記ソースパッド25とを互いに連結する部分を除去し、又は必要によっては短絡配線45の全部を除去することもできる。この際、エッチング法を用いて除去する(図示せず)。

【0021】そして、図3(c)に示すように、ITO(Indium Tin Oxide)を蒸着しパターニングして、画素電極41、ゲートパッド連結端子57、又ソースパッド連結端子67を形成する。前記画素電極41は、前記ドレインコンタクトホール71を通じて前記ドレイン電極31に連結されている。前記ゲートパッド連結端子57は、前記第2ゲートコンタクトホール53を通じて前記ゲートパッド中間電極55に連結されている。前記ソースパッド連結端子67は、前記第2ソースコンタクトホール63を通じて前記ソースパッド中間電極65に連結されている。

【0022】以上の製造工程は、一回の陽極酸化処理工程と少なくとも7〜8回のマスク工程が要求される製造工程である。この際、一回のマスク工程だけでも減らすことが出来れば、製造費用及び製造時間が節減され、製造歩留まりが向上される。従って、マスク工程の回数を減らすために陽極酸化工程を使用せずにマスク工程の1〜2段階を減らした製造工程が次の如く開発された。

【0023】図4は、従来の液晶表示装置の一部を示す図であり、図5(a)〜図6(c)は、パターニング工程を単純化した方法を説明するための図4のIV-IV線に沿った断面図である。

【0024】図5(a)に示すように、透明基板1上にアルミニウム、又はアルミニウム合金のような物質を蒸着して、フォトリソグラフィ法でパターニングして低抵抗ゲート配線13a及び低抵抗ゲートパッド15aを形成する。前記低抵抗ゲート配線13aは、行列配列方式で設計された画素電極41の間に位置され、前記低抵抗ゲートパッド15aは、前記低抵抗ゲート配線13aの端部分に形成されている。

【0025】前述したようにアルミニウムを使用する層は、表面にヒロックが発生しやすい。従って、クローム(Cr)、モリブデン(Mo)、タンタル(Ta)、又はアンチ

モン(Sb)のような金属物質を蒸着しパターニングして、前記低抵抗ゲート配線13a上にゲート配線13と、前記低抵抗ゲートパッド15a上にゲートパッド15を各々形成する。そして、図5(b)に示すように、前記ゲート配線13から分岐するゲート電極11が形成される。前記ゲート電極11は画素の隅部に形成される(図4を参照されたい)。図5(b)にはクローム、モリブデン、タンタル、又はアンチモンのような金属物質が前記アルミニウム層を完全に覆う形態を示すが、前記アルミニウムの一部だけを覆うように形成することも出来る。

【0026】図5(c)に示すように、前記基板1上に酸化シリコン、又は窒化シリコンのような絶縁物質を蒸着して絶縁層17を形成する。前記ゲート絶縁層17上に純粋アモルファスシリコンのような真性半導体物質を、不純物が添加されたアモルファスシリコンのような不純物半導体物質とを各々連続に蒸着しパターニングして、半導体層33及び不純物半導体層35を形成する。

【0027】図6(a)に示すように、クローム、又はクローム合金のような金属物質を蒸着しパターニングしてソース電極21、ドレイン電極31、ソース配線23及びソースパッド25を形成する。前記ソース電極21は、前記半導体層33及び前記不純物半導体層35を介して前記ゲート電極11の一方の一部と重畳されるように形成されている。前記ドレイン電極31は、前記半導体層33及び不純物半導体層35を介して前記ゲート電極11の他方の一部と重畳されるように形成されている。この際、前記ソース電極21と前記不純物半導体層35との間、そして、前記ドレイン電極31と前記不純物半導体層35との間は、オーミック接触をなしている。又、前記ソース電極21と前記ドレイン電極31とをマスクとして前記不純物半導体層35を選択的にエッチングし、前記ソース電極21と前記ドレイン電極31の間に残っている前記不純物半導体層35を除去する。図4及び図6(a)に示すように、前記ソースパッド23は、列配列方向に配列されて前記ソース電極21と連結されており、前記ソースパッド25は前記ソース配線23の端部に形成されている。

【0028】図6(b)に示すように、前記ソース電極21及び前記ドレイン電極31を有する前記基板1上に酸化シリコン、又は窒化シリコンのような絶縁物質を蒸着して保護層37を形成する。前記保護層37及び前記絶縁層17の一部分をパターニングしてドレインコンタクトホール71、ゲートパッドコンタクトホール59、そしてソースパッドコンタクトホール69を形成する。前記ドレインコンタクトホール71はドレイン電極31の一部を露出させ、前記ゲートパッドコンタクトホール59はゲートパッド15を露出させ、前記ソースパッドコンタクトホール69はソースパッド25を露出させる。

【0029】図6(c)に示すように、前記保護層37上にITO(Indium Tin Oxide)のような透明導電物質を蒸着しパターニングして、画素電極41、ゲートパッド連結端子57、そしてソースパッド連結端子67を形成する。前記画素電極41は、前記ドレインコンタクトホール71を通じて前記ドレイン電極31に連結されている。前記ゲートパッド連結端子57は、前記ゲートパッドコンタクトホール59を通じて前記ゲートパッド15に連結されている。又、前記ソースパッド連結端子67は、前記ソースパッドコンタクトホール69を通じて前記ソースパッド25に連結されている。

【0030】上述の問題点を解決するための陽極酸化する製造方法及び陽極酸化しない製造方法について、図7(a)～7(b)及び図8を参照して各々説明する。図7(a)～7(b)は、図1のV-V線に沿った断面図であり、図8は、図4のVI-VI線に沿った断面図である。

【0031】陽極酸化法を使用する製造方法において、陽極酸化層は、比較的耐化学性が強い物質で構成されるので、アクティブ基板の形成に使用されるエッチャントによく反応しない。図7(a)を参照して前記ゲート絶縁層17の製造工程において、前記半導体層33、前記不純物半導体層35及び前記ゲートパッドコンタクトホール51、前記ゲートパッド15の外縁部に陽極酸化層19が形成されて前記ゲートパッド15を覆う前記ゲート絶縁層17の製造工程でエッチング液が浸透することを防止する。そして、図7(b)に示すように、ゲートパッド中間電極55を形成する時、ゲートパッド中間電極55は、前記ゲートパッド15の周辺領域を覆い、前記ゲートパッド15を保護している。しかし、前記陽極酸化法を使用すると、多くのマスク工程が要求されてマスク整列時に誤差が発生しやすい。

【0032】次に陽極酸化しない製造方法では、陽極酸化する製造方法に比べ使用されるマスクの回数が少ないため、マスクの整列時に発生する誤差が少なくなり、又製造に所要される時間を短縮することができる。しかし、半導体層及び不純物半導体層、又はソース電極及びドレイン電極を形成する時に、前記ゲートパッド15を覆うゲート絶縁層17の形成段階を通じてエッチャントが前記ゲートパッド15をアンダーカットして前記ゲートパッド15に不良を発生させる(図8)。

【0033】

【発明が解決しようとする課題】本発明は、エッチャントの浸透からゲートパッドを保護することができる液晶表示装置及びその製造方法を提供することを目的とする。

【0034】又、本発明は、ゲートパッドをエッチャントの浸透から保護し、同じにゲートパッド部の接触抵抗を減少させることができる液晶表示装置及びその製造方法を提供することを他の目的とする。

【0035】

【問題を解決するための手段】本発明による液晶表示装置の製造方法は、基板上にゲート配線、前記ゲート配線から分岐する少なくとも一つのゲート電極、そして前記ゲート配線の端部に配置されている外周部を有するゲートパッドを形成する段階と；前記基板上に前記ゲート配線、前記ゲート電極、前記ゲートパッドにゲート絶縁層を形成する段階と；そして前記ゲートパッドの外周部の少なくとも一部分を覆う前記ゲート絶縁層上に第1ダミーゲートパッドを形成する段階とを含む。

【0036】本発明による液晶表示装置は、基板と；前記基板上に形成されているゲート配線と；前記基板上の前記ゲート配線から分岐する少なくとも一つのゲート電極と；前記基板上の前記ゲート配線の端部に配置された外周部を有するゲートパッドと；前記ゲート配線、前記ゲート電極及び前記ゲートパッドの前記基板上に形成されたゲート絶縁層と；前記ゲートパッドの外周部の少なくとも一部分上の前記ゲート絶縁層上に形成された第1ダミーゲートパッドと；から構成される。

【0037】好ましくは、前記第1ダミーゲートパッドは、半導体物質から成る。

【0038】好ましくは、前記第1ダミーゲートパッドは、導電物質から成る。

【0039】好ましくは、前記第1ダミーゲートパッド上に第2ダミーゲートパッドを形成する段階を含む。

【0040】好ましくは、半導体物質から前記第1ダミーゲートパッドを形成し、導電物質から前記第2ダミーゲートパッドを形成する。

【0041】好ましくは、前記第1ダミーゲートパッドは、半導体物質をパターニングして形成し、前記ゲート電極上に半導体層を形成する段階を含む。

【0042】好ましくは、前記第1ダミーゲートパッドをマスクとして前記ゲート絶縁層を選択的にエッチングして前記ゲートパッドコンタクトホールが完全に露出されるように形成する段階を含む。

【0043】好ましくは、第1導電物質をパターニングして前記第1ダミーゲートパッドに第2ダミーゲートパッドを形成し、前記保護層を選択的にエッチングして前記第2ダミーゲートパッドの一部を露出させ、前記ゲートパッド上に前記ゲートコンタクトホールを形成する段階を含む。

【0044】好ましくは、前記第1導電物質をパターニングする段階で、前記ゲートパッドコンタクトホールが傾斜された階段形状の構造を有するように前記第2ダミーゲートパッドを形成する。

【0045】好ましくは、前記傾斜された側壁の構造が階段の形状を有する。

【0046】好ましくは、前記保護層、前記第1ダミーゲートパッド及び前記ゲート絶縁層に階段形状の前記ゲートパッドコンタクトホールを形成する。

【0047】好ましくは、前記保護層の選択的エッチン

グ段階と前記ゲート絶縁層の選択的エッチング段階は、連続的に一段階で行われる。

【0048】好ましくは、半導体物質をパターンニングして前記ゲート電極上に半導体層を形成する段階と、前記第1ダミーゲートパッドを形成する段階で前記第1導電物質をパターンニングして前記第1ダミーゲートパッドを形成し、前記ゲート電極の一方上の前記半導体層上にドレイン電極を形成し、前記ゲート電極の他方上の前記半導体層上にソース電極を形成する段階を含む。

【0049】好ましくは、前記基板上に保護層を形成する段階と、前記保護層を選択的にエッチングして前記ドレイン電極を露出させるドレインコンタクトホールを形成し、前記ゲートパッド上に前記ゲート絶縁層の一部と前記第1ダミーゲートパッドの一部を露出させるゲートコンタクトホールの一部を形成する段階と、前記第1ダミーゲートパッドをマスクとして前記ゲート絶縁層を選択的にエッチングして前記ゲートコンタクトホールが完全に露出されるように形成する段階と、第2導電物質をパターンニングして前記ゲートパッドコンタクトホールを通じて前記ゲートパッドに接触するゲートパッド連結端子を形成し、前記ドレインコンタクトホールを通じて前記ドレイン電極に接触する画素電極を形成する段階とを含む。

【0050】好ましくは、前記第1ダミーゲートパッドを形成する段階で、前記第1導電物質をパターンニングして前記ソースに連結されるソース配線を形成し、前記ソースパッドを前記ソース配線の端部分に形成し、前記保護層を選択的にエッチングする段階で、前記ソースパッドの一部を露出させるソースコンタクトホールを加えて形成し、前記第2導電物質をパターンニングする段階で、前記ソースパッドコンタクトホールを通じて前記ソースパッドに接触されるソースパッド連結端子を形成する。

【0051】好ましくは、前記ゲート配線を形成する段階で、前記基板上に第1導電物質をパターンニングして低抵抗ゲート配線と前記低抵抗ゲート配線の端部分に低抵抗ゲートパッドを形成し、第2導電物質をパターンニングして前記低抵抗ゲート配線の少なくとも一部上にゲート配線と、前記ゲート配線で分岐された少なくとも一つのゲート電極と、そして前記ゲート配線の端部分に位置して前記低抵抗ゲートパッドの少なくとも一部を覆うゲートパッドを形成する段階を含む。

【0052】好ましくは、前記第1導電物質はアルミニウムを含む。

【0053】好ましくは、前記第2導電物質はクロム、モリブデン、タンタル、そして、アンチモンの中の少なくとも一つを含む。

【0054】

【発明の実施の形態】本発明では液晶表示装置の製造工程を単純化させるために、陽極酸化法を使用しない。そして、エッチャントの浸透からゲートパッド、又はソー

スパッドを保護するためには、次の如き方法を用いた。

【0055】基板上にアルミニウムを含む第1導電物質を蒸着しパターンニングして、ゲート配線、ゲート電極及びゲートパッドを形成する。第1絶縁物質を用いて前記ゲート配線、ゲート電極及び前記ゲートパッドを覆うゲート絶縁層を形成する。前記ゲート絶縁層上に真性半導体物質及び不純物が添加された不純物半導体物質を連続蒸着しパターンニングして、前記ゲート電極を覆う半導体層及び不純物半導体層を各々形成する。ここで、前記ゲートパッドの外周部、又は端部上にダミー半導体層及びダミー不純物半導体層をダミーゲートパッドで形成する。そして、クロムを含む第2導電物質を用いてソース電極、ドレイン電極、ソース配線及びソースパッドを形成する。この際、前記ダミー半導体ゲートパッドに加えて第2導電層からなるダミーゲートパッドを前記ゲートパッドの端部、又は外周部を囲むように形成される。そして、前記ソース電極、前記ドレイン電極、前記ソース配線、前記ソースパッド及び前記ダミーゲートパッド上に保護層として第2絶縁層を形成する。前記保護層上にドレインコンタクトホール、ゲートパッドコンタクトホール、そしてソースパッドコンタクトホールを形成する。前記保護層上に透明導電物質を蒸着しパターンニングして、前記ドレインコンタクトホールを通じて前記ドレイン電極に連結される画素電極を形成し、前記ゲートパッドコンタクトホールを通じて前記ゲートパッドに連結されるゲートパッド連結端子を形成し、前記ソースパッドコンタクトホールを通じて前記ソースパッドに連結されるソースパッド連結端子を形成する。前記ダミー半導体ゲートパッド及び／又は、前記ダミー導電ゲートパッドは、前記ゲートパッドにエッチング保護層としての役割をする。

【0056】本発明について、以下に具体的に説明する。

【0057】発明の実施の形態1. 図9は、本発明の実施の形態による液晶表示装置を示す平面図であり、図10(a)～図11(c)は、図9のVII-VIII線に沿った断面図である。本実施の形態では、半導体物質を用いてダミーゲートパッドを製造する工程について説明する。

【0058】図10(a)に示すように透明ガラス基板101上にアルミニウムを蒸着しフォトリソグラフィ法でパターンニングして、低抵抗ゲート配線113a及び低抵抗ゲートパッド115aを形成する。前記低抵抗ゲート配線113aは後に形成するゲート配線113に位置され、前記低抵抗ゲートパッド115aは後に形成されるゲートパッド115に位置される。

【0059】図10(b)に示すように、前記低抵抗ゲート配線113a及び前記低抵抗ゲートパッド115a上にクロム(Cr)、モリブデン(Mo)、タンタル(Ta)、又はアンチモン(Sb)のような金属を蒸着

しパターニングして、ゲート電極111、ゲート配線113及びゲートパッド115を形成する。前記ゲート電極111は、対応する画素電極141の一隅部に配置されている。前記ゲート配線113は、前記複数のゲート電極111を連結するために一方向で配置され、前記低抵抗ゲート配線113aを覆っている。この際、前記ゲート配線113は、前記低抵抗ゲート配線113aを完全に覆うように形成することもでき、又は前記低抵抗ゲート配線113aを部分的に覆うように形成することも出来る。前記ゲートパッド115は、前記ゲート配線113の端部に形成され、前記ゲート配線113が前記低抵抗ゲート配線113aを覆う方法と類似な方法で前記低抵抗ゲートパッド115aを覆う。

【0060】図10(c)に示すように、前記基板101上に酸化シリコン、又は窒化シリコンを蒸着してゲート絶縁層117を形成する。前記ゲート絶縁層117上に純粋アモルファスシリコンのような真性半導体物質と不純物が添加されたアモルファスシリコンのような半導体物質を連続蒸着しパターニングして、前記ゲート電極111を覆う半導体層133及び不純物半導体層135を形成する。又、前記ゲート絶縁層117の形成段階において、前記半導体層133及び不純物半導体層135からなるダミーゲートパッド115bが前記ゲートパッド115の外周部を囲んで形成される。前記ダミーゲートパッド115bは、前記ゲートパッド115に対してエッチング保護層としての役割をする。

【0061】図11(a)に示すように、前記半導体層133及び前記不純物半導体層135を含む前記基板上にクローム、又はクローム合金を蒸着しパターニングして、ソース電極121、ドレイン電極131、ソース配線123及びソースパッド125を形成する。前記ソース電極121は、前記ゲート電極111の一方の部分と重畳されるように、前記ドレイン電極131は、前記ゲート電極111の他方の部分と重畳されるように前記半導体層133及び不純物半導体層135を介して各々形成されている。前記ソース電極121と前記不純物半導体層135、そして前記ドレイン電極131と前記不純物半導体層135は、各々オーミックコンタクトをなしている。前記ソース電極121及び前記ドレイン電極131をマスクとして前記不純物半導体層135を選択的にエッチングして前記ソース電極121と前記ドレイン電極131の間に存在する前記不純物半導体層135を完全に除去する。この際、このエッチング処理方法で前記ゲートパッド115の外周部を囲む前記ダミーゲートパッド115bを形成するために使用された前記不純物半導体物質が除去され、前記ダミーゲートパッド115bは真性半導体物質からなる前記半導体層133だけを有しているようになる。図9に示すように、前記ソース配線123は、列方向に延長され、前記ソース電極121に連結されている。前記ソースパッド125は、前記

ソース配線123の端部に形成されている。

【0062】図11(b)に示すように、前記ソース電極121を含む前記基板101上に酸化シリコン、又は窒化シリコンのような絶縁物質を蒸着しパターニングして保護層137を形成する。前記保護層137は、前記ドレイン電極131上に形成されているドレインコンタクトホール171を含み、前記ゲートパッド115上に形成されているゲートパッドコンタクトホール159を含む。前記ゲートパッドコンタクトホール159を通じて前記ダミーゲートパッド115bの一部分が露出される。前記ダミーゲートパッド115bをマスクとして前記ゲートパッド115を覆う前記ゲート絶縁層117の一部を連続にエッチングし除去し、前記ゲートパッドコンタクトホール159を通じて前記ゲートパッド115の一部分を露出させる。前記ソースパッド125上にはソースパッドコンタクトホール169が形成される。

【0063】窒化シリコンのような同一物質から前記ゲート絶縁層117及び前記保護層137を形成することによって、前記連続エッチング過程の間にこれらの膜を選択的にエッチングすることが出来、この際、前記ダミーゲートパッド115bはマスクとしての役割をする。さらに、前記保護層137、前記ダミーゲートパッド115b及び前記ゲート絶縁層117は、前記ゲートパッドコンタクトホール159のために段差形状の側壁構造を示す。

【0064】図11(c)に示すように、前記保護層137上にITO(Indium Tin Oxide)のような透明導電物質を蒸着しパターニングして画素電極141、ゲートパッド連結端子157及びソースパッド連結端子167を形成する。前記画素電極141は、前記ドレインコンタクトホール171を通じて前記ドレイン電極131に連結されている。前記ゲートパッド連結端子157は、前記ゲートパッドコンタクトホール159を通じて前記ダミーゲートパッド115b及び前記ゲートパッド115に連結されている。前記ソースパッド連結端子167は、前記ソースパッドコンタクトホール169を通じて前記ソースパッド125に連結されている。

【0065】本実施の形態において、真性半導体物質を含む前記半導体層133は、前記ゲートパッド115の外周部を覆うゲート絶縁層117の段差された部分を囲む。その結果、前記半導体物質は、ゲート絶縁層117の弱い部分を通じてエッチャントが浸透することを防止する。

【0066】発明の実施の形態2. 図12(a)～図13(c)は、本発明の他の実施の形態による液晶表示装置の製造方法を説明するために図9のIX-IX線に沿った断面図である。本実施の形態では、ソース電極又はドレイン電極を形成するクロームのような金属物質を用いてダミーゲートパッドを形成する工程について説明する。

【0067】図12(a)に示すように、透明ガラス基

板101上にアルミニウムを蒸着し、フォトリソグラフィ法でパターニングして低抵抗ゲート配線113a及び低抵抗ゲートパッド115aを形成する。前記低抵抗ゲート配線113aは、追後に形成されるゲート配線113に位置される。そして、前記低抵抗ゲートパッド115aは、追後に形成されるゲートパッド115に位置される。

【0068】図12(b)に示すように、前記低抵抗ゲート配線113a及び前記低抵抗ゲートパッド115a上にクロム(Cr)、モリブデン(Mo)、タンタル(Ta)、又はアンチモン(Sb)のような金属を蒸着しパターニングして、ゲート電極111、ゲート配線113及びゲートパッド115を形成する。複数の前記ゲート電極111は、行配列方式の対応する画素の一隅部に形成されている。前記ゲート配線113は、複数の前記ゲート電極111に連結されるように垂直方向で延長し、前記低抵抗ゲート配線113aを完全に、又は部分的に覆うように形成されている。前記ゲートパッド115は前記ゲート配線113aの端部に形成され、前記ゲート配線113が前記低抵抗ゲート配線113aを覆う方法と類似な方法で前記低抵抗ゲートパッド115aを覆う。

【0069】図12(c)に示すように、前記ゲート電極111、前記ゲート配線113及び前記ゲートパッド115を含む前記基板101上に酸化シリコン、又は窒化シリコンを蒸着してゲート絶縁層117を形成する。そして、前記ゲート絶縁層117上に純粋アモルファスシリコンのような真性半導体物質及びアモルファスシリコンのような不純物が添加された不純物半導体物質の順に蒸着しパターニングして、前記ゲート電極111を覆う半導体層133及び不純物半導体層135を形成する。

【0070】図13(a)に示すように、前記基板101上にクロム、又はクロム合金を蒸着しパターニングして、ソース電極121、ドレイン電極131、ソース配線123、ソースパッド125及びダミーゲートパッド116bを形成する。前記半導体層133及び不純物半導体層135を介し、前記ソース電極121は前記ゲート電極111の一方の部分と重畳されており、前記ドレイン電極131は前記ゲート電極111の他方の部分と重畳されている。ここで、前記ソース電極121と前記不純物半導体層135、そして前記ドレイン電極131と不純物半導体層135の間は、オーミックコンタクトをなしている。前記ソース電極121及び前記ドレイン電極131をマスクとして前記ソース電極121と前記ドレイン電極131の間に存在する前記不純物半導体層135を選択的にエッチングして完全に除去する。図9に示すように前記ソース配線123は、一方向で延長され、複数の前記ソース電極121に連結されている。前記ソースパッド125は、前記ソース配線123の端部に形成される。

【0071】前記ダミーゲートパッド116bは、前記ゲート絶縁層117の段差された部分を覆っており、前記ゲートパッド115の外周部を囲んでいる。前記ダミーゲートパッド116bは、前記ゲートパッド115のエッチング保護層としての役割をする。

【0072】図13(b)に示すように、前記ソース電極121が形成された前記基板101上に酸化シリコン、又は窒化シリコンのような絶縁物質を蒸着して保護層137を形成する。前記保護層137をパターニングして前記ドレイン電極131部分にはドレインコンタクトホール171を形成し、前記ゲートパッド115上には前記ダミーゲートパッド116bの一定部分を露出させるゲートパッドコンタクトホール159を形成する。前記ダミーゲートパッド116bをマスクとしてエッチングを連続進行して前記ゲートパッド115を覆っている前記ゲート絶縁層117をエッチングし、前記ゲートコンタクトホール159を通じて前記ゲートパッド115の一部を露出させる。そして、前記ソースパッド125の近傍にソースパッドコンタクトホール169が形成される。

【0073】窒化シリコンのような物質で前記ゲート絶縁層117及び前記保護層137を形成することによって、連続エッチング工程の間にこのような膜を選択的にエッチングすることができ、この際、前記ダミーゲートパッド116bはマスクとしての役割をする。又、前記保護層137、前記ダミーゲートパッド116b及び前記ゲート絶縁層117は前記ゲートパッドコンタクトホール159のために段差形状の側壁構造をなしている。

【0074】図13(c)に示すように、前記保護層137上にITO(Indium Tin Oxide)のような透明導電物質を蒸着しパターニングし、画素電極141、ゲートパッド連結端子157及びソースパッド連結端子167を形成する。前記画素電極141は、前記ドレインコンタクトホール171を通じてドレイン電極131に連結されている。前記ゲートパッド連結端子157は、前記ゲートパッドコンタクトホール159を通じて前記ダミーゲートパッド116b及び前記ゲートパッド115に連結されている。前記ソースパッド連結端子167は、前記ソースパッドコンタクトホール169を通じて前記ソースパッド125に連結されている。

【0075】本実施の形態では、前記ソース電極121を形成するためにクロムを含む金属で前記ゲートパッド115を覆うゲート絶縁層117の段差された部分を囲む。その結果、前記ゲート絶縁層117の弱い部分(段差された部分)を通じてエッチャントが浸透することを防止する。更に、前記ダミーゲートパッド116bは前記ゲートパッド115及び前記ゲートパッド連結端子157に電気的に連結されているため、前記ゲートパッド115の接触抵抗が低くなる。

【0076】発明の実施の形態3. 又、図14(a)～

図15(c)は、本発明の他の実施の形態による液晶表示装置の製造方法を説明するための図9のX-X線に沿った断面図である。本実施の形態では、ダミーゲートパッドを半導体物質と、クロームを含むソース電極物質で形成する方法について説明する。

【0077】図14(a)に示すように、透明ガラス基板101上にアルミニウムを蒸着し、フォトリソグラフィ法でパターニングして、低抵抗ゲート配線113a及び低抵抗ゲートパッド115aを形成する。前記低抵抗ゲート配線113aは、追後形成されるゲート配線113に位置されている。そして、前記低抵抗ゲートパッド115aは、追後に形成されるゲートパッド115に位置されている。

【0078】図14(b)に示すように、前記基板101上にクローム(Cr)、モリブデン(Mo)、タンタル(Ta)、又はアンチモン(Sb)のような金属を蒸着しパターニングして、ゲート電極111、ゲート配線113及びゲートパッド115を形成する。図9に示すように、前記ゲート電極111は、行列配列の対応する画素の一隅部に形成されている。前記ゲート配線113は、前記ゲート電極111に連結され水平方向で延長され、前記低抵抗ゲート配線113aを覆っている。前記ゲート配線113は、前記低抵抗ゲート配線113aを完全に、又は部分的に覆うことが出来る。前記ゲートパッド115は、前記ゲート配線113の端部分に形成されており、前記低抵抗ゲートパッド115aは前記低抵抗ゲート配線113aを覆う前記ゲート配線113を形成する方法と類似な方法で覆っている。

【0079】図14(c)に示すように、前記基板101上に酸化シリコン、又は窒化シリコン等を蒸着してゲート絶縁層117を形成する。前記ゲート絶縁層117上に純粋アモルファスシリコンのような真性半導体物質及び不純物が添加されたアモルファスシリコンのような不純物半導体物質を連続に蒸着しパターニングして、半導体層133及び不純物半導体層135を各々形成する。そして、第1ダミーゲートパッド119aは、前記ゲートパッド115を覆う前記ゲート絶縁層117の段差された部分の近くの前記ゲートパッド115を囲んで形成される。前記第1ダミーゲートパッド119aは、前記半導体層133及び前記不純物半導体層135から構成されている。

【0080】図15(a)に示すように、前記半導体層133及び前記不純物半導体層135を含む前記基板101上にクローム、又はクローム合金を蒸着しパターニングして、ソース電極121、ドレイン電極131、ソース配線123、ソースパッド125及び第2ダミーゲートパッド119bを形成する。前記半導体層133と前記不純物半導体層135を介して前記ソース電極121は前記ゲート電極111の一方の一部に重畳されており、前記ドレイン電極131は前記ゲート電極111の

他方の一部に重畳されている。前記ソース電極121と前記不純物半導体層135との間、又前記ドレイン電極131と前記不純物半導体層135との間はオーミックコンタクトをなしている。前記ソース電極121及び前記ドレイン電極131をマスクとして前記ソース電極121とドレイン電極131との間に存在する前記不純物半導体層135の一部分をエッチングして完全に除去する。同時に、前記第2ダミーゲートパッド119bをマスクとして前記ゲートパッド115を囲む第1ダミーゲートパッド119aを形成する不純物半導体物質を除去する。図9に示すように前記ソース配線123は、前記ソース電極121に列配列方向に連結するために延長されている。前記ソース配線123の端部分にソースパッド125が形成されている。そして、第2ダミーゲートパッド119bは、半導体物質からなる前記第1ダミーゲートパッド119aを覆う。その結果、本実施の形態では半導体物質、そしてクロームのような金属からなる2層構造を有するダミーゲートパッドが形成される。前記第1ダミーゲートパッド119aと第2ダミーゲートパッド119bは、前記ゲートパッド115に対してエッチング保護層としての役割をする。

【0081】図15(b)に示すように、前記基板101上に酸化シリコン、又は窒化シリコンのような絶縁物質を蒸着して保護層137を形成し、パターニングして前記ドレイン電極131上にドレインコンタクトホール171を形成する。前記ゲートパッド115部分に前記第1ダミーゲートパッド119aと前記第2ダミーゲートパッド119bの一部分を露出させるようにゲートパッドコンタクトホール159が形成される。この際、前記第1ダミーゲートパッド119aをマスクとして連続エッチングして前記ゲートパッド115を覆っている前記ゲート絶縁層117をエッチングし、前記ゲートパッドコンタクトホール159を通じて前記ゲートパッド115を露出させる。前記ソースパッド125上にはソースパッドコンタクトホール169が形成される窒化シリコンのような同じ物質で前記ゲート絶縁層117及び保護層137を形成することによって連続エッチング工程の際、このような膜を選択的にエッチングすることが出来る。この際、前記第1ダミーゲートパッド119aはマスクとしての役割をする。又、前記保護層137、第1ダミーゲートパッド119a、第2ダミーゲートパッド119b、そして前記ゲート絶縁層117は前記ゲートパッドコンタクトホール159のために階段形状の側壁構造を形成する。

【0082】図15(c)に示すように、前記保護層137上にITO(Indium Tin Oxide)のような透明導電物質を蒸着しパターニングして画素電極141、ゲートパッド連結端子157、そしてソースパッド連結端子167を形成する。前記画素電極141は前記ドレインコンタクトホール171を通じて前記ドレ

イン電極131に連結されている。前記ゲートパッド連結端子157は前記ゲートパッドコンタクトホール159を通じて前記第1ダミーゲートパッド119a、前記第2ダミーゲートパッド119b、そしてゲートパッド115に連結されている。前記ソースパッド連結端子167は前記ソースパッドコンタクトホール169を通じて前記ソースパッド125に連結されている。

【0083】本実施の形態では、真性半導体物質を含む半導体層133物質とクロム金属を含むソース電極物質が前記ゲートパッド115を覆う前記ゲート絶縁層117上の周囲に形成される。その結果、前記ゲート絶縁層117の弱い部分（段差された部分）を通じてエッチャントが浸透することを効果的に防止することができる。

【0084】以上の実施の形態を通じて前記ゲートパッド115の外周部を囲んで覆う前記ダミーゲートパッドを形成するための様々な方法について説明した。図16(a)～図16(c)は、本発明の実施の形態による前記ダミーゲートパッド115bの他の形状を示す。

【0085】図16(a)に示すように、前記ダミーゲートパッド115bは前記ゲートパッド115を完全に囲んで覆っている。図16(b)や図16(c)に示すように、前記ダミーゲートパッド115bは前記ゲートパッド115の一部分、又は外周部が覆われていないように前記ゲートパッド115とゲート配線113の一致する部分の一部だけを覆うことにすることも出来る。このような前記ダミーゲートパッドの様々な構成について、前記ダミーゲートパッド115bと関連して説明したが、これらの構成は本発明の他の構造で説明される前記ダミーゲートパッドにも適用される。

【0086】

【発明の効果】本発明は、エッチャントの浸透によってゲートパッドに不良が発生することを防止することができる。本発明において、ゲート絶縁層の形成後、ゲート絶縁層の段差された部分を通じてエッチャントが浸透することを防止するために、少なくとも一つの半導体物質、又は金属からなるダミーゲートパッドが前記ゲートパッドの外周部に形成されている。

【0087】本発明の実施の形態1において、ソース電極を形成する間にゲートパッドの外周部、又は外端部を覆うゲート絶縁層上にダミーゲートパッドを形成する。その結果、ゲートパッドを覆うゲート絶縁層の段差された部分を通じてエッチャントが浸透することを防止する。さらに、ダミーゲートパッドが金属物質からなるため、前記ゲートパッドと連結されて、ゲートパッドの接触抵抗を低くすることが出来る。従って、ゲートパッドを保護し、そしてゲートパッド及び、配線の抵抗を低くして水平輝度不良も防止する。

【0088】本発明の実施の形態2において、半導体物質で第1ダミーゲートパッドを形成し、ソース電極の形

成に使用する同じ金属物質で第1ダミーゲートパッドを覆う第2ダミーゲートパッドを形成することもある。この場合は、異なる製造工程の間にダミーゲートパッドが形成されるため、他の製造段階で発生するエッチャントの浸透を防止する。又、金属物質を含む第2ダミーゲートパッドによってゲートパッド部分で接触抵抗を低くして輝度不良防止する。さらに、第1ダミーゲートパッドと、第2ダミーゲートパッドとが異なる大きさで形成することによってゲートコンタクトホールで緩慢な傾斜を形成してIT0で形成するゲートパッド連結端子の部分浸蝕も防止する。

【図面の簡単な説明】

【図1】 陽極酸化によって形成された従来の液晶表示装置を示す断面図。

【図2】 陽極酸化を使用した従来の液晶表示装置の製造方法を説明するための図1のII-II線に沿った断面図。

【図3】 陽極酸化を使用した従来の液晶表示装置の製造方法を説明するための図1のII-II線に沿った断面図（続き）。

【図4】 陽極酸化を使用せずに形成された従来の液晶表示装置を示す断面図。

【図5】 陽極酸化を使用せずに従来の液晶表示装置の製造方法を説明するための図4のIV-IV線に沿った断面図。

【図6】 陽極酸化を使用せずに従来の液晶表示装置の製造方法を説明するための図4のIV-IV線に沿った断面図（続き）。

【図7】 ゲート絶縁層及びその段差された部分を通したエッチャントの浸透を説明するための図1のV-V線に沿った断面図。

【図8】 ゲート絶縁層及びその段差された部分を通したエッチャントの浸透を説明するための図4のVI-VI線に沿った断面図。

【図9】 本発明の実施の形態による液晶表示装置を示す平面図。

【図10】 本発明の実施の形態1による液晶表示装置の製造方法を示すための図9のVIII-VIII線に沿った断面図。

【図11】 本発明の実施の形態1による液晶表示装置の製造方法を示すための図9のVIII-VIII線に沿った断面図（続き）。

【図12】 本発明の他の実施の形態による液晶表示装置の製造方法を示すための図9のIX-IX線に沿った断面図。

【図13】 本発明の他の実施の形態による液晶表示装置の製造方法を示すための図9のIX-IX線に沿った断面図（続き）。

【図14】 本発明の他の実施の形態による液晶表示装置の製造方法を示すための図9のX-X線に沿った断面

図。

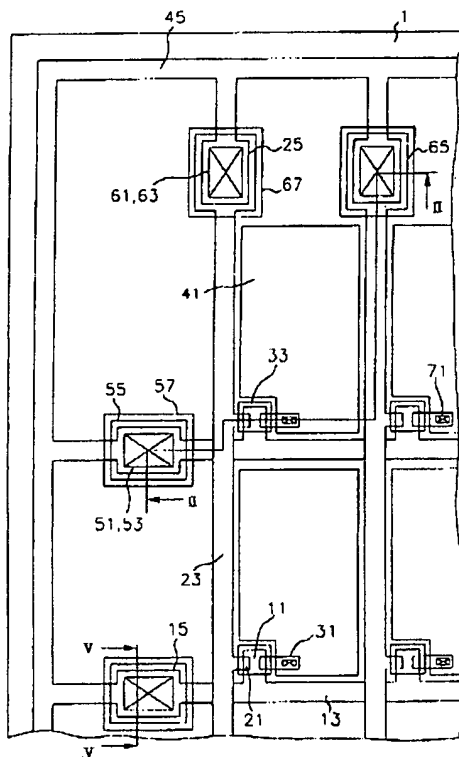
【図15】 本発明の他の実施の形態による液晶表示装置の製造方法を示すための図9のX-X線に沿った断面図(続き)。

【図16】 本発明による液晶表示装置において、様々なゲートパッド部を示す図。

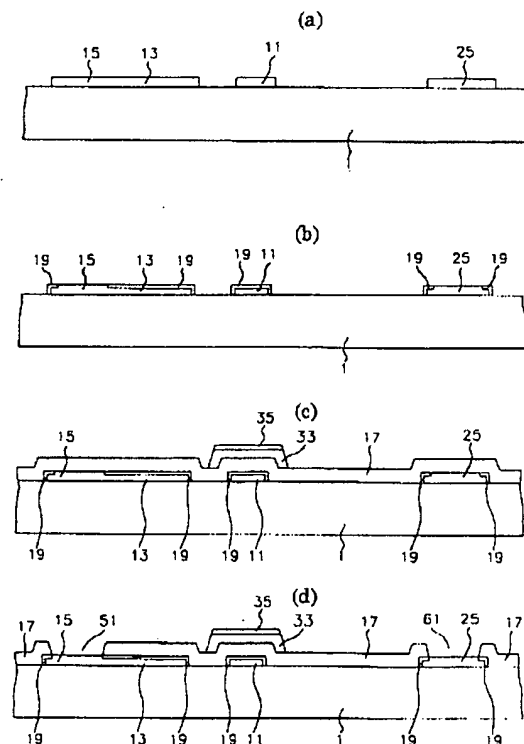
【符号の簡単な説明】

1、101	基板	23、123	ソース配線
11、111	ゲート電極	25、125	ソースパッド
13、113	ゲート配線	31、131	ドレイン電極
15、115	ゲートパッド	33、133	半導体層
13a、113a	低抵抗ゲート配線	35、135	不純物半導体層
15a、115a	低抵抗ゲートパッド	37、137	保護層
115b	ダミーゲートパッド	41、141	画素電極
17、117	ゲート絶縁層	45	短絡配線
19	陽極酸化層	51	第1ゲートパッドコンタクトホール
119a	第1ダミーゲートパッド	53	第2ゲートコンタクトホール
119b	第2ダミーゲートパッド	55	ゲートパッド中間電極
21、121	ソース電極	57、157	ゲートパッド連結端子
		59、159	ゲートパッドコンタクトホール
		61	第1ソースコンタクトホール
		63	第2ソースコンタクトホール
		65	ソースパッド中間電極
		67、167	ソースパッド連結端子
		69、169	ソースパッドコンタクトホール
		71、171	ドレインコンタクトホール

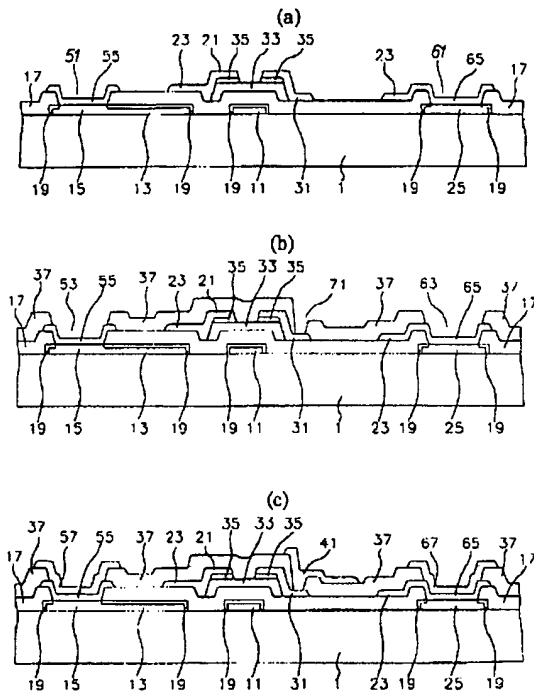
【図1】



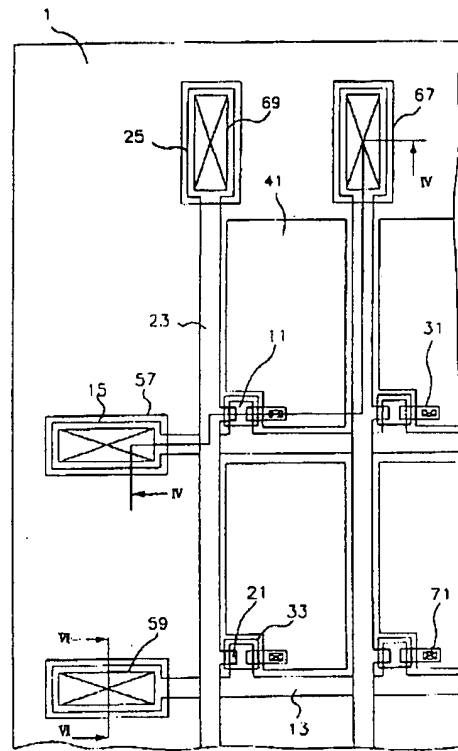
【図2】



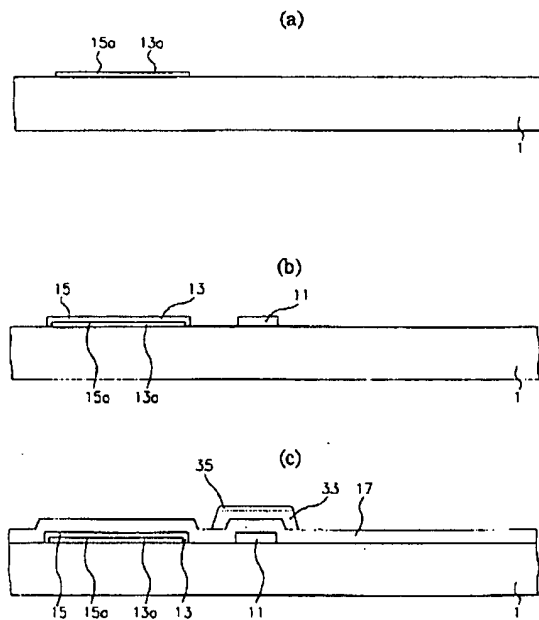
【図3】



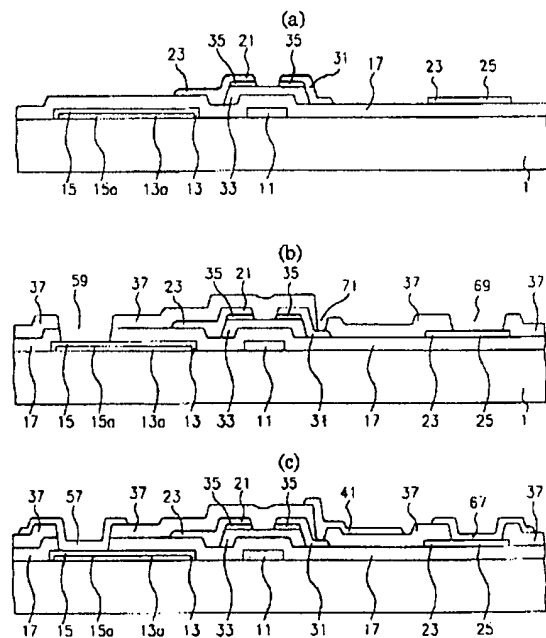
【図4】



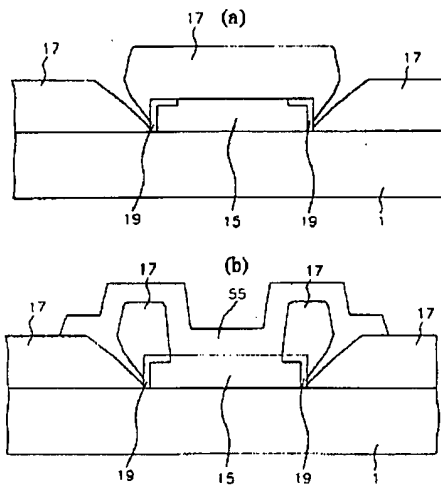
【図5】



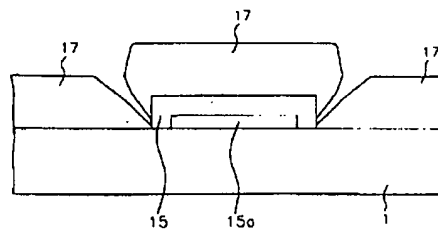
【図6】



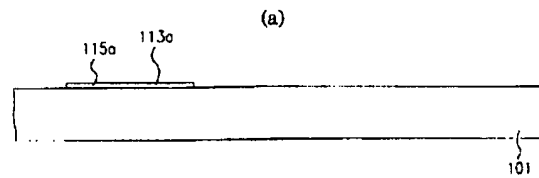
【図7】



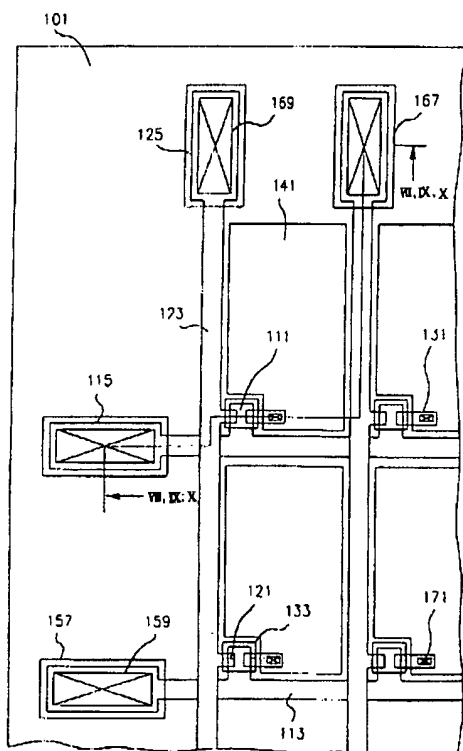
【図8】



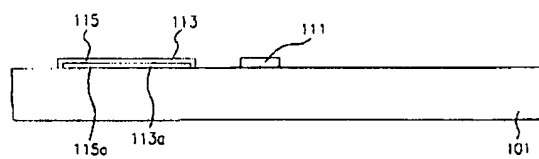
【図10】



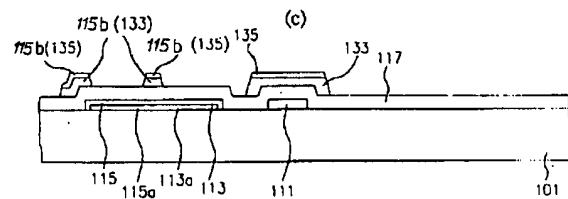
【図9】



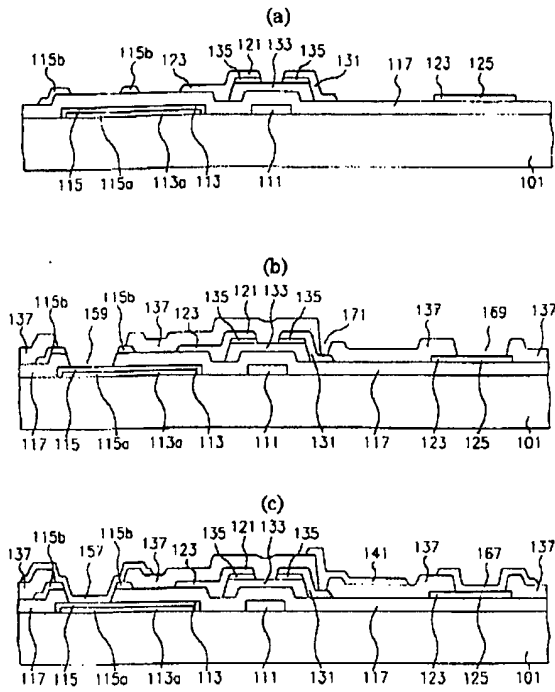
(b)



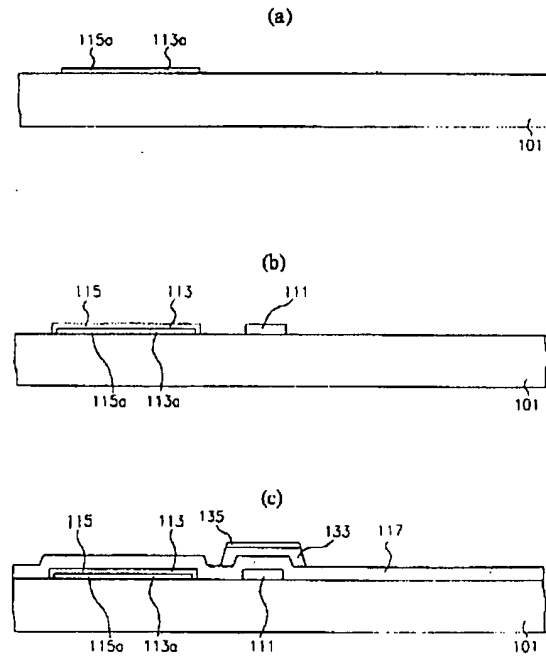
(c)



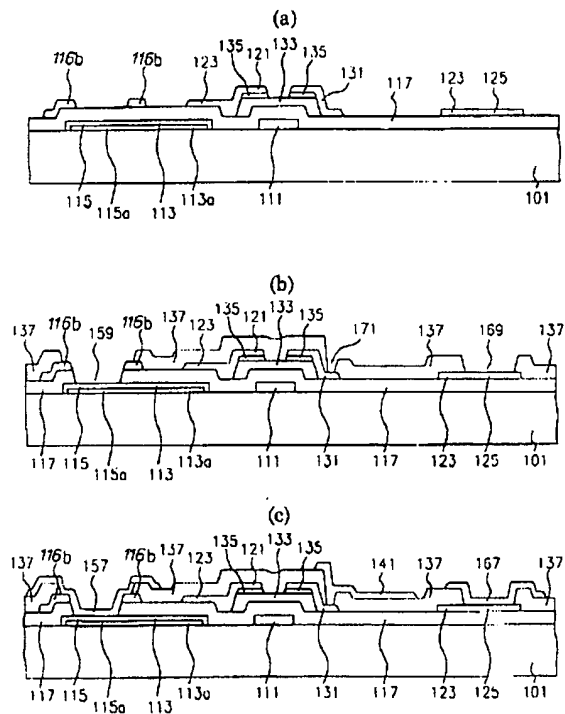
【図11】



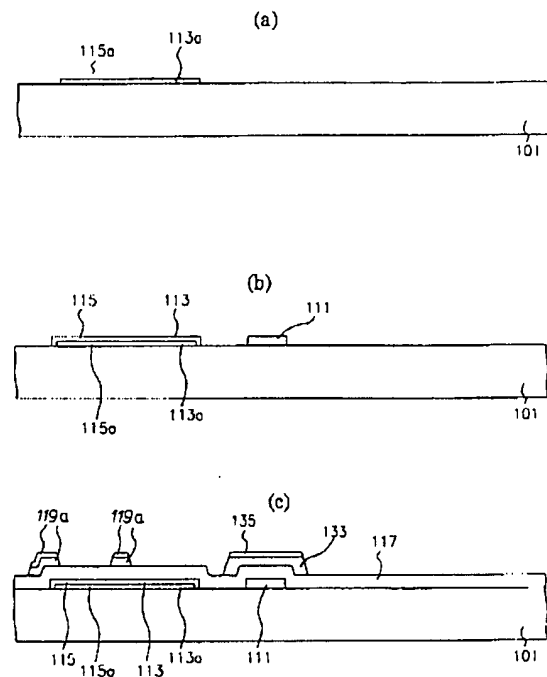
【図12】



【図13】



【図14】



【図15】

